

SAW 芯片的质量控制与可靠性测试方法的研究

艾毅智, 杨怡, 陈虹羽

(中电科芯片技术(集团)有限公司, 重庆 401332)

摘要:随着通信设备向便携化、轻薄化发展,对 SAW 芯片的小体积、高性能需求逐渐增加,为确保产品交付质量,需要在芯片研发、生产过程中开展有效的质量控制和可靠性测试。通过对 SAW 芯片故障模式及影响的分析,找出了设计和生产过程存在的风险点,制定质量控制措施并研究可靠性测试方法,提升了芯片合格率,进而验证了质量控制措施和可靠性测试方法的有效性,在业内具有一定的借鉴意义。

关键词:SAW 芯片;失效模式;质量控制;可靠性

中图分类号:TN60 **文献标识码:**A

Quality Control and Reliability Evaluation Methods for Chips

AI Yizhi, YANG Yi, CHEN Hongyu

(CETC Chips Technology Group Co., Ltd., Chongqing 401332, China)

Abstract: As communication devices continue to advance toward greater portability and slimmer designs, the demand for smaller, high-performance surface acoustic wave (SAW) chips has consistently increased. To ensure product quality, implementing effective quality control and reliability testing throughout the chip development and manufacturing processes is essential. An analysis of the failure modes and effects of SAW chips identifies potential risks during both the design and production stages. Based on these findings, appropriate quality control measures were established, and reliability testing methods were developed to improve the chip yield. The effectiveness of these quality control and reliability testing methods has been validated, offering valuable insights for the industry.

Key words: SAW chip; failure mode; quality control; reliability

0 引言

随着通信设备向便携化、轻薄化发展,SAW 芯片的小体积化需求增加,对其在频率、带宽、插入损耗等方面的性能要求也逐步提高。为实现终端的小体积化,将多个不同功能的芯片封装在一起形成模组已成为行业趋势。SAW 滤波器作为通信的核心部件,其可靠性对终端产品的通信质量影响极大。本文通过分析本公司研究 SAW 芯片失效模式及影响的案例,找出设计和生产过程的风险点,制定质量控制措施,结合相关标准和使用环境的要求,开展对可靠性测试方法的研究,有效提升了芯片交付合格率,验证了质量措施和可靠性测试方法的有效性。

1 失效模式及影响分析

失效模式及影响分析(FMEA)^[1]最早应用于美

国航天工业,用以确保产品设计的高安全性、可靠性。随着其有效性受到认可,逐渐推广到汽车、电子等行业,成为质量管理体系中不可或缺的一部分。FMEA 由两个维度展开,一是设计失效(D-FMEA),二是过程失效(P-FMEA),基本覆盖了产品从研发设计到生产交付的全流程。FMEA 工具通过识别失效模式找出失效影响;从严重度、频度、探测度 3 方面对所有潜在失效影响进行风险评估与分级;通过实验测试找出可能引发失效的原因,进行针对性设计或改进过程后再重新评估风险级别。经过反复调整,将所有潜在风险控制在可允许的范围内,以保证后续设计、生产的顺利开展及最终交付产品的质量。

本文以 SAW 芯片为分析对象,统计了生产与检验试验过程以及用户端反馈的 SAW 芯片失效数量、失效模式,据此开展 FMEA 分析。在 D-FMEA

分析中,采用结构框图分析了 IDT、衬底、钝化层等芯片组成部件的功能及它们之间的连接关系,从严重度、发生率和探测度 3 个层面将失效后果、失效模式、失效原因链接成失效网络,并通过历史数据对其进行评估,进而判断芯片在设计过程的风险等

级。在 P-FMEA 分析中,根据工艺流程图中每个工序的过程工作要素(人、机、料、法、环)开展过程失效模式、失效起因和影响分析。D-FMEA 分析结果如表 1 所示,P-FMEA 分析结果(以显影过程为例)如表 2 所示。

表 1 D-FMEA 分析结果

结构分析			功能分析			失效分析				D-FMEA 风险分析				
上一较高级别	关注要素	下一较低级别或特性类型	上一较高级别功能及要求	关注要素功能及要求	下一较低级别功能及要求或特性	对于上一较高级别要素失效影响(FE)	失效影响的严重度(S)	失效模式(FM)	失效起因(FC)	当前预防措施(PC)	失效起因的频度(O)	当前的失效起因/失效模式的探测措施(DC)	失效起因探测度(D)	D-FMEA 措施优先级
滤波器模组	DIE (芯片)	抑制不需要的杂波信号	对输出信号通带波段实现抑制,要求参见产品规格书	关注要素功能及要求	1. 符合用户指定要求(电性能) 2. IDT、衬底、钝化层设计之间传递声、电信号	1. 对滤波器模组而言,会有不需要杂波,隔离度不能满足要求。 2. 对用户而言,使用中有杂音。	8	无法抑制通带信号	各谐振器叉值换能器线宽规定不正确	1. 迭代设计仿真 2. 迭代设计评审 3. 研发端迭代设计测试	5	仿真定型评审 探针测试 进行 DOE 流片测试	2	M
									谐振器金属化比规定不正确	1. 参考以往设计文件; 2. 参考声表滤波器设计指南。	7	仿真定型评审 探针测试 进行 DOE 流片测试	7	H
									串并级数规定不正确	1. 迭代设计仿真 2. 迭代设计评审 3. 研发端迭代设计测试	4	仿真定型评审 探针测试 进行 DOE 流片测试	2	L
									金属膜层种类选择不正确	1. 参考原材料 com 参数数据库设计; 2. 参考设计软件仿真结果; 3. 参考声表滤波器设计指南。	3	仿真定型评审 探针测试 进行 DOE 流片测试	2	L
									金属膜厚度设计不正确	1. 参考原材料 com 参数数据库设计; 2. 参考设计软件建议膜厚; 3. 参考声表滤波器设计指南。	3	仿真评审 研发端定型测试	2	M
									衬底种类选择不正确,不能正确传输电信号	1. 按原材料技术规范设计; 2. 参考原材料 com 参数数据库设计; 3. 参考声表滤波器设计指南。	3	仿真评审 研发端定型测试 功率实验测试	2	L
									衬底切型选择不正确,不能正确传输电信号	1. 参考原材料 com 参数数据库设计; 2. 参考设计软件仿真结果; 3. 参考声表滤波器设计指南。	3	仿真评审 研发端定型测试 功率实验测试	2	L

表 2 P-FMEA 分析结果

结构分析			功能分析			失效分析				P-FMEA 风险分析				
1. 过程项 系统、子 系统、零 件要素 或过程 名称	2. 过程步 骤工位编 号和关注 要素名称	3. 过程 工作要 素 4M	1. 过程名 称的功 能系统、 子系统、 零件要 素或过 程名称	2. 过程步 骤的功 能和产 品特性 (量值为 可选项)	3. 过程工 作要素 的功能 和过程 特性	1. 对于上一较高 级别要素和/ 终端用户的失 效影响(FE)	失效影 响的严 重度 (S)	2. 关 注要 素的 失效 模式 (FM)	3. 工作要素 的失效起因 (FC)	当前的对失 效起因的预 防措施(PC)	失效起 因/失 效模式 的频度 (O)	当前的失效 起因/失效模 式的探测措施 (DC)	失效起 因/失 效模式 探测度 (D)	P-FMEA 措施优 先级
显影	液管路 压力	显影液	去除晶圆 上指定部 分的光刻 胶,要求: 晶圆上图 形正确, 图形无断 指连指, 显影后胶 条宽度 ××nm。	显影液管路 压力在标注 位置点	显影液 ××× 显影液 水洗净头喷 淋时在晶圆 正中心,压 力在标注位 置点	本工序:经清洗 后 100%返工。 下工序:影响胶 条宽度与可能 产生胶残。 最终客户:器件 插损偏高,产品 功耗增加。	5	显影后基 片上存 有底膜 残胶	显影机管路 压力不足导 致显影液未 能铺满基片 表面	每班作业前 进行设备外 围点检和 E0 检测	8	每批次抽测一 片胶宽,显影 自检;每批次 目检与显微镜 抽检 3 片	3	H
									水洗喷头压 力过高或过 低未能完全 润湿晶圆	每班作业前 进行设备外 围点检和 E0 检测	8	每批次抽测一 片胶宽,显影 自检;每批次 目检与显微镜 抽检 3 片	3	H
									显影液更换 错误	更换显影液 时双人检验	2	每批次抽测一 片胶宽,显影 自检;每批次 目检与显微镜 抽检 3 片	3	L
									水洗喷头位 置异常	每班作业前 进行设备外 围点检和 E0 检测	5	每批次抽测一 片胶宽,显影 自检;每批次 目检与显微镜 抽检 3 片	3	L
	pin 针位置	热板	热板表面 无颗粒或 脏污	烘烤时 pin 针完全下 降至热板 下方,使晶 圆与热板 完全贴合	本工序:经清洗 后 100%返工。 下工序:污染镀 膜设备。 最终客户:无 影响。	1	基片 背面 显影液 残留	背洗流量 异常	周 PM 检查	2	显影自检;每 批次目检与显 微镜抽检 3 片	3	L	
									pin 针位置 异常	周 PM 检查 高度	6	每批次抽测一 片胶宽,显影 自检;每批次 目检与显微镜 抽检 3 片	4	H
	操作员	热板	热板表面 无颗粒或 脏污	热板表面 无颗粒或 脏污	本工序:经清洗 后 100%返工。 下工序:影响胶 条宽度与可能 产生胶残。 最终客户:器件 插损偏高,产品 功耗增加。	3	PEB 固化不 完全	热板存在颗 粒或脏污	周 PM 检查 清洁	4	每批次抽测一 片胶宽,显影 自检;每批次 目检与显微镜 抽检 3 片	2	M	
									热板温度 异常	机台设置 报警	2	每批次抽测一 片胶宽,显影 自检;每批次 目检与显微镜 抽检 3 片	2	L
					操作员选 择正确 程序	3	显影 严重 不足 或严 重过 度	作业人员误操 作选错程序	人员培训, 每次作业前 必须第二人 复核确认 菜单	2	每批次抽测一 片胶宽,显影 自检;每批次 目检与显微镜 抽检 3 片	3	L	

由表 1、2 可知,SAW 芯片的失效模式主要表现为芯片外观不良、电参数超差,其主要失效模式和失效机理如表 3 所示。

表 3 SAW 器件芯片失效模式与失效机理

主要失效模式	主要失效机理	
芯片外观不良	微裂纹	1. 来料不良,晶圆自身缺陷
	表面有沾污或多余物	1. 工艺操作不当引入 2. 贮存不当,水气凝露造成沾污
	表面指条断、连	1. 显影液喷淋时大量气泡导致显影不完整 2. 显影后光刻胶形貌差 3. 剥离不当,金属膜层随光刻胶一同脱落
电参数超差	插入损耗变差、性能降低	1. 电迁徙膜层导体内结构劣化 2. 掩模版设计缺陷 3. 钝化层设计缺陷 4. 金属膜层设计缺陷
	无输出	1. 过电应力产生击穿

2 质量控制方法

基于上述分析,对 SAW 晶圆特性制定专用质量检测标准和方法,如《晶片色号及颗粒度来料检验标准》《晶片采购规范》。

首先,在设计时引入可靠性设计程序,增加冗余设计,开展设计方案^[2]评审,评审内容包括版图、工艺、结构等,以减少失效的发生并降低其影响,确保所设计芯片满足功能及可靠性要求,达到质量控制的目的。

其次,为提升芯片质量控制水平,重视典型失效模式设计技术的应用,确保结构、尺寸以及物理参数满足设计要求。积极评估表面离子沾污、电迁移、过电损伤等失效机理对芯片的影响,比如将版图优化与工艺优化相结合,对光刻显影设备进行工艺优化,降低喷淋时产生的气泡对显影的影响,以改善指条麻点的失效;对工艺参数进行优化调控,解决指条形貌差导致的插入损耗变差问题,以提高芯片可靠性水平。

最后,需进一步利用设计仿真技术,在进行叉值换能器线宽、谐振器金属化比设计及金属膜层、钝化材料选型时,运用 HFSS、ADS 等仿真工具,在满足性能要求的前提下尽量简化线路,降低电流密度和功耗,减少电热效应的影响。

芯片制造工艺过程中的控制包括以下几方面:

1) 原材料质量控制。考虑芯片生产制造特点,严格控制光刻胶、晶圆等重点原材料质量,引入 SPC 统计过程控制方法,辅以传统到货检验方法,确保材料质量稳定一致。

2) 工艺设备控制。配合使用监控设备,面向芯片元器件关键参数生成对应 SPC 控制模型,作为生产过程中分析控制的基本依据,比如在显影工序中,在每班作业前进行设备点检和 EO 检测,实现对胶宽的精确控制。

3) 加工技术控制。统计关键工艺参数,作为 SPC 控制的基本依据;引入对关键工序 CpK 的控制方法,在此基础上进行工序能力分析,所涉及的关键参数包括芯片的光刻线宽、剥离等工艺过程。

4) 操作人员培训。加强对各类操作人员的培训与考核,保证生产过程中的芯片防护,避免引入多余物或因操作失误导致芯片外观损伤。

5) 生产环境控制。重视生产现场的环境洁净度控制,保证芯片成品率。

6) 工艺评价。通过检测线宽、金属膜厚、钝化层膜厚及钝化层对 IDT 侧壁覆盖量等工艺指标,可明确 SAW 芯片是否满足可靠性要求,进而达到质量控制的目的。

3 可靠性测试

物理可靠性评估方法^[3]是基于元器件物理失效

原因,通过物理特性和使用环境进行分析测试,来评估元器件的可靠性水平,常见的物理可靠性评估方法包括热失效试验、机械失效试验和电气失效试验等。电子元器件的失效机理^[4]通常有反应论模型和应力强度模型,在进行电子元器件可靠性评价与物理模型应用时,需了解产品内因和外因的不确定性。内因不确定性指由工艺误差等因素导致的产品参数波动;外因不确定性指同一批次产品在使用时由于执行任务、使用环境的不同而导致产品所受环境应力具有不确定性。由芯片失效模式及影响分析结果可知,温度、湿度、电压是芯片失效的主要外部诱因,基于此开展 SAW 芯片的可靠性测试方法研究。

由于目前尚无针对 SAW 芯片的通用规范,本文统计了主要用户提出的试验条件,对标 GJB 2600A-2009《声表面波器件通用规范》中的检验试验条件,同时参照《薄膜体声波器件通用规范》《半导体集成电路芯片通用规范》《微波集成电路芯片通用规范》(后两项规范目前只有报批稿,还未正式发布)中的检验试验条件,探究了 SAW 芯片失效模式和应力类型、试验方法的关系,如表 4 所示。

表 4 SAW 芯片失效模式和应力类型、试验方法的关系

失效模式	应力类型	检验、试验方法
击穿	电应力	静电放电
	机械应力	AOI 检验
芯片断裂	低温应力	低温贮存
	高低温应力	高低温循环
金属电迁徙	热电应力	高温工作
	金属化腐蚀、电参数超差	气候应力
高温工作		

根据上述分析结果,结合通用规范及用户要求,制定了相应的筛选条件及质量一致性条件。

筛选包括芯片筛选和样品筛选。芯片筛选项目为 AOI 检验、探针测试及稳定性烘焙。其中稳定性烘焙^[5]试验的基本条件要求为 125 °C、24 h。电探针测试试验合格率标准可参考具体芯片的规格书,具体划分标准可参照半导体,一般 S 级应达到 90%及以上水平,B 级应达到 75%及以上水平,B1 应达到 50%及以上水平。样品筛选从芯片筛选合格的每个检验批中随机抽取,数量不低于鉴定检验或质量一致性检验中的 C 组芯片检验数量。封装后的筛选试验应包括外观检验、稳定性烘焙、机械

冲击、温度循环及电测试(高、低温)密封。

在质量一致性检验中,A 组检验以三温电性能测试为主要内容,C 组检验包括温度循环、机械冲击、稳态寿命及静电放电。另外,结合用户要求开展了功率容量测试,测试前,根据用户使用条件进行瞬烧功率试验,评估最差瞬烧功率的 Wafer,从该 Wafer 批次里取样设置功率梯度,拟合曲线并根据该曲线拟定瞬烧门限。

与其他封装形式相比,塑封在尺寸、重量及成本方面具有优势,故近年来被广泛应用于高可靠性技术领域。因此,芯片载板封装测试^[6]也是普遍采用的一种快速评估芯片的持续可靠性(ORT)的方法。一般情况下,封装需根据用户要求的技术条件来执行,围绕温度、湿度和电压的影响因子并针对产品整体结构的电学性能和机械强度开展测试。

塑封后的芯片快速可靠性测试包括以下几项:

1) 温度循环试验。将封装后的芯片暴露在高、低温气体转换的环境中,循环 1000 次,根据测试电路的通断来判断测试是否通过。该试验的目的是评估芯片中具有不同热膨胀系数的金属间的接触性能,试验未通过则表明芯片电路存在短路、断路的可能。

2) 热冲击试验。将封装后的芯片暴露在高、低温液体的转换环境中,测试其抗热冲击能力。测试条件采用 GJB 548C-2021 中的 1011 条件^[7],根据测试电路的通断来判断测试是否通过。该试验的目的与温度循环试验基本相同,不同之处在于温度循环侧重对芯片封装的测试,热冲击侧重对晶圆的评估。

3) 高温贮存试验。主要测试长期高温下,芯片在封装体中是否存在物质活性增强,发生迁移扩散从而影响电路性能。一般采用的试验温度为 150 °C,试验时间为 500 h 或 1 000 h。

4) 高加速湿度试验。主要测试封装产品抵抗环境湿度的能力,并通过增加压强来缩短试验时间,在 85%RH、130 °C 下进行 96 h 的偏置 HAST 或无偏置的 UHAST 试验,压力为 203 kPa。该试验中常见的失效模式^[4]为化学金属腐蚀和封装密封异常。

5) 稳态湿热试验。测试封装体在高温、高湿及偏压环境下的抗湿度能力。测试条件可参考 GB/T 4937.4-2012,在 85%RH、130 °C 下进行 50 h 的偏

置 HAST,或在 85% RH、85 °C 下进行无偏置 UHAST 试验,样本大小(接收数)为 15(0)(样本大小为 15,不合格数为 0),试验后目检应符合 H. 3. 8. 7 的规定。

6) 模拟回流焊试验。采用回流焊设备模拟芯片从封装后到下游组装厂装配成最终产品的过程。模拟前需了解用户板级组装的“预处理”程序,以更贴近用户使用环境的条件评估器件的潮湿敏感度,验证芯片对温度变化和各种恶劣环境的适应能力。测试前首先确认封装后的器件电性能无问题,然后在恒温环境下将器件放置一段时间,再根据用户给

定的载板温度曲线模拟焊接过程,最后检查器件电性能是否失效。该试验中常见的失效模式为芯片金属腐蚀和爆米花效应,由封装体在吸湿后遭遇高温、内部水分变为气体而迅速膨胀所造成。

4 开展质量控制和可靠性测试前后芯片合格率对比

图 1 为 2023 年 1 月至 2024 年 6 月本公司通信类芯片产品的制程合格率统计图。由图可看出,自 2023 年 7 月开展质量控制和可靠性测试后,芯片制程合格率较之前(2023 年 1-6 月)提高 16.1%。芯片交付用户使用后未收到上机不良反馈。

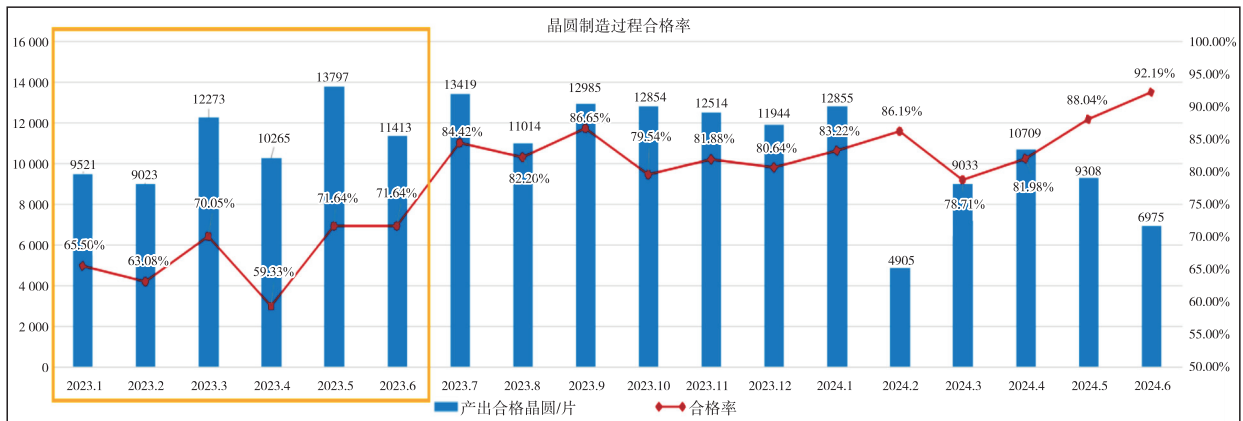


图 1 通信类芯片制程合格率统计

5 结束语

通过对 SAW 芯片进行失效模式及影响分析,找出设计、工艺过程的高风险点,据此制定质量控制措施,并开展可靠性测试,以提升芯片的合格率。根据相关统计结果,芯片的合格率相较于开展质量控制和可靠性测试前提升了 16.1%,表明所制定的质量控制措施和可靠性测试方法能有效保证芯片的交付质量。

参考文献:

- [1] 支越,孙大鹏,王之哲,等. 电子产品可靠性评价与物理模型应用探讨[J]. 压电与声光, 2019, 41(4): 613-616.
ZHI Yue, SUN Dapeng, WANG Zhizhe, et al. Study on reliability evaluation and physical model of electronic products[J]. Piezoelectrics & Acousto-optics, 2019, 41(4): 613-616.
- [2] 李凤良. 实效质量管理[M]. 北京: 中国标准出版社, 2007.

- [3] 申德玮,刘涛,刘小建. 电子元器件的可靠性测试与评估技术分析[J]. 集成电路应用, 2023, 40(12): 383-385.
SHEN Dewei, LIU Tao, LIU Xiaojian. Analysis of reliability testing and evaluation techniques for electronic components[J]. Application of IC, 2023, 40(12): 383-385.
- [4] 孔学东,恩云飞. 电子元器件失效分析与典型案例[M]. 北京: 国防工业出版社, 2006.
- [5] 国家军用标准-总装备部. 声表面波器件通用规范: GJB 2600A-2009[S]. 2009.
- [6] 张送,胡慧婧,韦锦波,等. 国产化背景下车规级芯片环境可靠性试验标准研究[J]. 时代汽车, 2022(10): 4-6.
ZHANG Song, HU Huijing, WEI Jinbo, et al. Research on environmental reliability test standards of automotive-grade chips under the background of localization[J]. Auto Time, 2022(10): 4-6.
- [7] 国家军用标准-总装备部. 微电子器件试验方法和程序: GJB 548C-2021[S]. 2021.