

# 一种射频 SiP 模组链路快速验证方法研究

崔梦琦<sup>1,2</sup>, 余怀强<sup>1,2</sup>, 张磊<sup>2</sup>, 王玺<sup>2</sup>, 代春玥<sup>2</sup>

(1. 中国电科芯片技术研究院, 重庆 401332; 2. 中国电子科技集团公司第二十六研究所, 重庆 400060)

**摘要:**针对射频 SiP 模组设计周期长、成本高、兼容性差等问题,提出了一种射频 SiP 模组链路快速验证方法。该方法将射频 SiP 模组内的射频器件分装于不同积木块中,再将积木块拼接形成有目标电路功能的验证链路。通过对该链路进行测试,可快速验证射频 SiP 模组设计是否达标。为实现积木块间良好互连,设计了高频连接桥压接结构。测试结果经去嵌计算,得到 18 GHz 内插入损耗最大值为 1.34 dB。通过搭建与测试二次变频射频 SiP 模组链路,表明该方法具备低损耗、可重构、可复用等特性,对射频 SiP 模组快速设计具有重要的工程意义。

**关键词:**射频 SiP; 快速验证; 高频连接桥; 可重构; 可复用

**中图分类号:** TN61 **文献标识码:** A

## Research on a Rapid Verification Method for RF System-in-Package Module Links

CUI Mengqi<sup>1,2</sup>, YU Huaiqiang<sup>1,2</sup>, ZHANG Lei<sup>2</sup>, WANG Xi<sup>2</sup>, DAI Chunyue<sup>2</sup>

(1. CETC Academy of Chips Technology, Chongqing 401332, China;

2. The 26th Research Institute of China Electronics Technology Group Corporation, Chongqing 400060, China)

**Abstract:** To tackle the issues of long design cycles, high costs, and poor compatibility in radiofrequency (RF) system-in-package (SiP) modules, this paper presents a fast verification method for RF SiP module links. RF devices in the module are separately packed into different building blocks. These blocks are then assembled to form a verification link with the desired circuit functions. By testing this link, we can quickly check if the RF SiP module design meets the requirements. A high-frequency connection bridge crimping structure is designed for good inter-block connection. Test results, after de-embedding calculation, showed that within 18 GHz, the maximum insertion loss value was 1.34 dB. Building and testing the verification link of a dual-conversion RF SiP module demonstrated that the proposed method had low loss along with reconfigurable and reusable features. The rapid design of RF SiP modules is of great engineering importance.

**Key words:** RF SiP; rapid verification; high-frequency connection bridge; reconfigurable; reusable

### 0 引言

射频 SiP(系统级封装)模组通过多芯片高密度集成实现系统功能,其具备小型化、轻量化、高可靠等优势,满足现代电子系统的需求。国内外学者对小尺寸、功能多样的射频 SiP 模组的测试验证问题开展了研究。文献[1]采用弹性探针与 SiP 模组底部焊盘实现电气连接,再通过射频同轴电缆连接外部设备进行测试。文献[2]运用 SMT(表面贴装)技术将射频 SiP 模组经回流焊组装到电路板上进行测试。文献[3]围绕 Mxx 型 SiP 电路的可靠性评价问题,设计了一种融合软件算法与硬件架构的 SiP 电

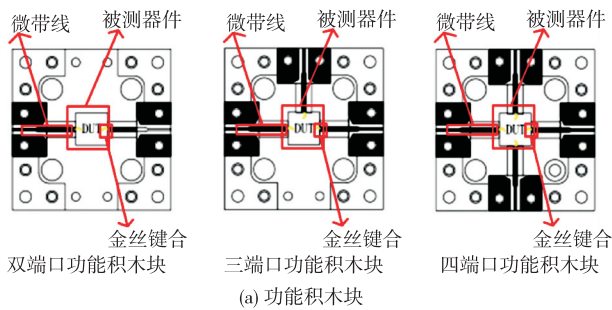
路测试系统。经调研分析可知,射频 SiP 模组的传统测试方法通常是在模组制造完成后,对整个模组展开全面测试,一旦在测试环节检测到设计缺陷,便需回溯至模组设计阶段,重启设计流程,导致设计周期冗长复杂,产品研制进度缓慢<sup>[4]</sup>。同时,射频 SiP 模组通常需要定制测试夹具<sup>[5-8]</sup>,成本高且兼容性差,难以适应功能丰富、需求广泛的市场需求态势。

针对功能多样的射频 SiP 模组性能验证问题,提出了一种快速验证射频 SiP 模组链路的方法。该方法基于积木块化理念,将多个射频器件装配在特制积木块上,依据射频 SiP 模组设计要求,将积木块

灵活组合成射频链路。通过对整个链路的测试,实现对射频 SiP 模组各项性能的验证,从而快速高效地验证链路性能,大幅缩短了射频 SiP 模组设计周期,提升了其研发效率与市场竞争力。

### 1 整体架构设计

所设计的验证方法由多个积木块拼接构成的链路实现。积木块按需求分为功能积木块和端口积木块两类,结构示意图如图 1 所示。功能积木块可按信号输入/输出(I/O 口)端口数目细分为双端口、三端口、四端口类型,其内部贴装被测射频器件,该射频器件通过金丝键合到微带线上以实现电气连接。端口积木块凸起端设螺纹孔,用于安装同轴接头以连接外部测试设备。



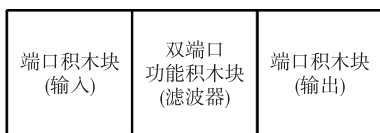
端口积木块截面图

端口积木块俯视图

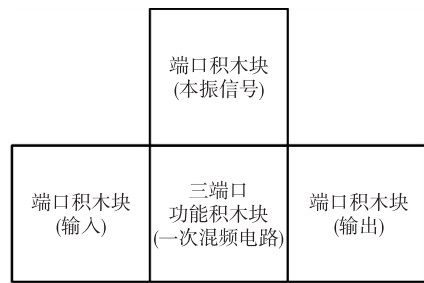
(b) 端口积木块

图 1 功能积木块和端口积木块结构示意图

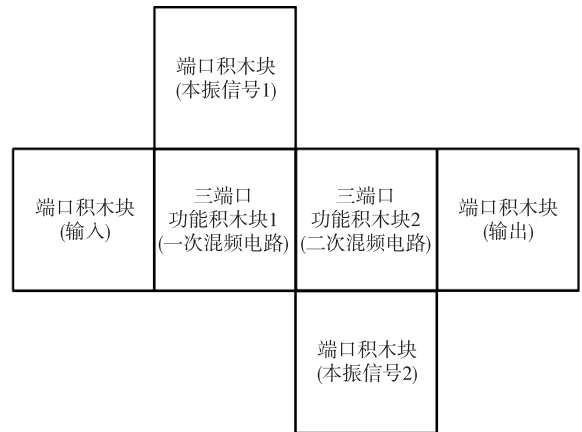
通过拼接功能与端口积木块,实现了器件级、功能电路级和系统级等不同层级链路的验证。以图 2 所示的二次混频链路为例说明各级验证结构:在功能积木块内部贴装滤波器射频器件,可实现器件级验证;在复用功能积木块内部贴装多个射频器件构成一次混频功能电路,能够完成功能电路级验证;重构多个贴装功能电路的积木块,构成二次混频射频 SiP 模组链路,可实现系统级验证。综上所述,该验证方法具备可复用、可重构的特性,能够快速验证不同电路功能的射频 SiP 模组链路。



(a) 器件级(典型射频滤波器)验证结构示意图



(b) 功能电路级(典型一次混频功能电路)验证结构示意图



(c) 系统级(典型二次混频射频 SiP 模组链路)验证结构示意图

图 2 二次混频链路各层级结构示意图

### 2 关键电路设计

为了解决两个积木块间高频信号传输的问题,设计了一种低损耗高频连接桥压接结构如图 3 所示。该结构上端的传输线为纺锤形微带线,压接到两个积木块底座的共面波导传输线上,以实现射频信号的互连导通。传输线与介质层(图中绿色部分)构成整个压接结构,介质层使用罗杰斯公司的基板材料 RO5880,该材料相对介电常数为  $2.20 \pm 0.02$ ,在 10 GHz 时损耗正切为 0.000 9。

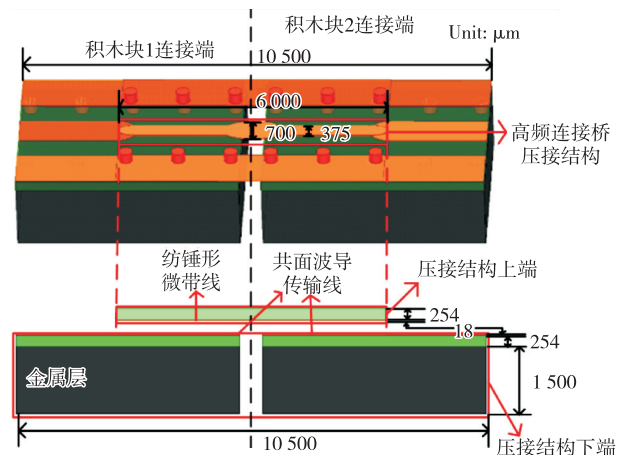


图 3 高频连接桥压接结构示意图

为优化该压接结构的性能,使用 HFSS 软件进行建模仿真,仿真结果如图 4 所示。由图可知,当频率为 DC~18 GHz 时,该结构回波损耗优于 26.92 dB,插入损耗小于 0.07 dB。因此,信号在压接结构中能量损耗较少,传输性能良好。

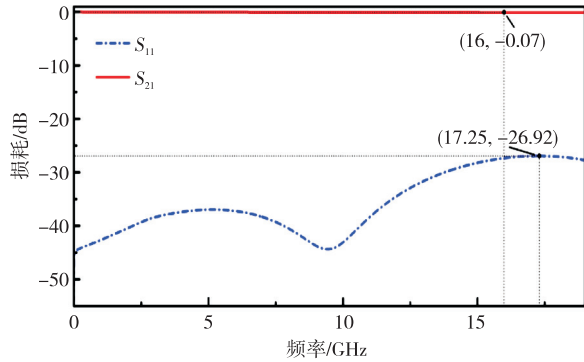


图 4 高频连接桥压接结构仿真结果图

为了测试高频连接桥压接结构的电学性能,设计并组装了一个由两个端口积木块构成的微带线直通链路。链路整体呈对称结构,实物图如图 5 所示。

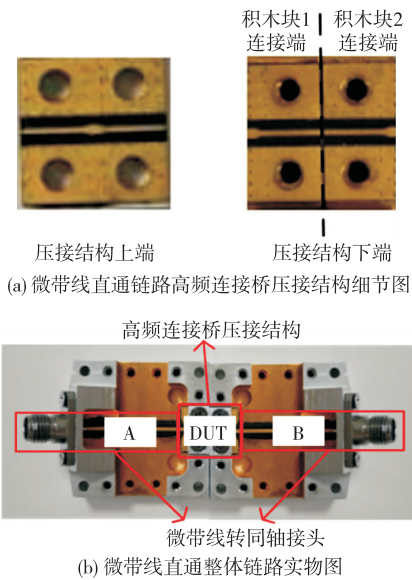


图 5 微带线直通链路实物图

利用矢量网络分析仪对其进行测试,测试结果如图 6 所示。为了获得压接结构的 S 参数,需要对结果进行去嵌计算。由图 5(b)可知,将微带线直通链路分解为 3 个二端口单元,DUT 单元为被测高频连接桥压接结构,A、B 单元为微带线转同轴接头结构,其链路概念如图 7 所示。其中 TOTAL 单元表示整个链路结构。

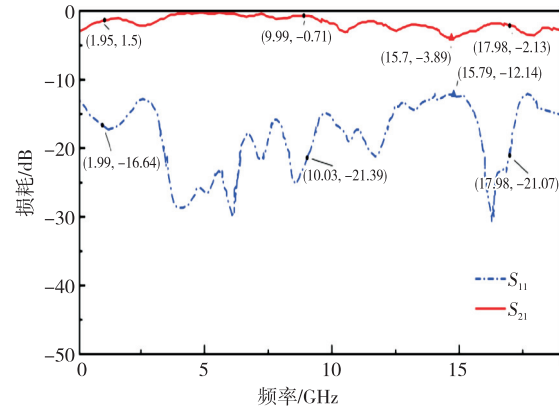


图 6 微带线直通链路测试结果图

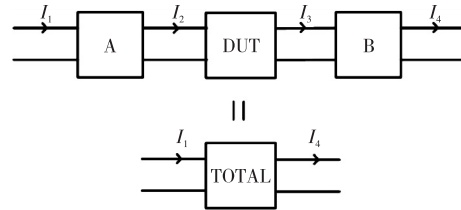


图 7 微带线直通链路概念图

A、B 单元呈对称结构,故有:

$$S_{11A} = S_{22B} \quad (1)$$

$$S_{22A} = S_{11B} \quad (2)$$

$$S_{12A} = S_{21B} \quad (3)$$

$$S_{21A} = S_{12B} \quad (4)$$

利用  $ABCD$  矩阵运算进行分析, $ABCD$  矩阵参数与 S 参数的关系为

$$A = \frac{(1+S_{11})(1-S_{22})+S_{12}S_{21}}{2S_{21}} \quad (5)$$

$$B = \frac{Z_0(1+S_{11})(1+S_{22})-S_{12}S_{21}}{2S_{21}} \quad (6)$$

$$C = \frac{1}{Z_0} \cdot \frac{(1-S_{11})(1-S_{22})-S_{12}S_{21}}{2S_{21}} \quad (7)$$

$$D = \frac{(1-S_{11})(1+S_{22})+S_{12}S_{21}}{2S_{21}} \quad (8)$$

式中  $Z_0$  为传输线的特性阻抗。

A、B 单元和 DUT 单元的  $ABCD$  矩阵级联,得到 DUT 单元的  $ABCD$  矩阵为

$$\begin{bmatrix} A_{DUT} & B_{DUT} \\ C_{DUT} & D_{DUT} \end{bmatrix} = \begin{bmatrix} A_A & B_A \\ C_A & D_A \end{bmatrix}^{-1} \begin{bmatrix} A_T & B_T \\ C_T & D_T \end{bmatrix} \begin{bmatrix} A_B & B_B \\ C_B & D_B \end{bmatrix}^{-1} \quad (9)$$

利用矢量网络分析仪测试 A 单元,取频点 2 GHz、10 GHz、18 GHz 进行  $ABCD$  矩阵运算,得到高频连接桥压接结构 S 参数如表 1 所示。由表可知,在合理范围内,实测结果与仿真结果略有偏

差,推测实测结果变差的原因是加工环节引入了额外损耗,且去嵌时测试设备精度有限,难以满足高精度测量需求,后期将改良加工工艺和测试精度。由此可知,在 DC~18 GHz 内,该结构驻波和反射系数良好,可保障积木块间宽带高频低损耗传输。

表 1 高频连接桥压接结构 S 参数

频率/GHz	S 参数	
	$S_{11}$ /dB	$S_{21}$ /dB
2	-25.86	-0.56
10	-23.45	-0.96
18	-20.31	-1.34

### 3 测试验证

#### 3.1 验证链路设计

为了验证该方法的可重构性和可复用性,设计了较复杂的系统级二次混频射频 SiP 模组链路。该链路由两块三端口功能积木块和 4 块端口积木块拼接而成,原理概念如图 8 所示。图中  $LO_1$  (本振信号 1) 经过二次倍频后与放大后的  $RF_1$  (射频信号 1) 一次混频、滤波得到  $IF_1$  (中频信号 1),  $IF_1$  频率为 22 GHz,  $IF_1$  与  $LO_2$  (本振信号 2) 二次混频、放大后输出 1.8 GHz 的 IF (中频信号)。该二次混频射频 SiP 模组设计指标如表 2 所示。

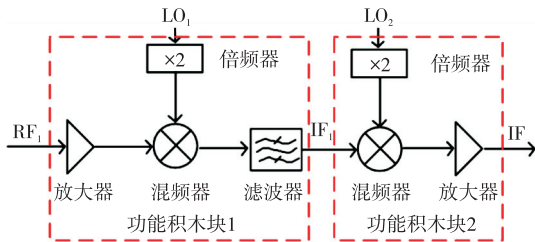


图 8 二次混频射频 SiP 模组链路原理概念图

表 2 二次混频射频 SiP 模组设计指标

指标类型	指标值
增益	5 dB@1~18 GHz
噪声系数	<11 dB@1~18 GHz
饱和输出功率	≥5 dB@1~18 GHz

#### 3.2 验证链路搭建

搭建二次混频射频 SiP 模组链路,其实物结构如图 9 所示。其中,设定  $LO_1$  输入功率为 0 dBm,  $RF_1$  输入功率为 5 dBm,  $LO_2$  输入频率为 10.1 GHz, 输入功率为 1 dBm。

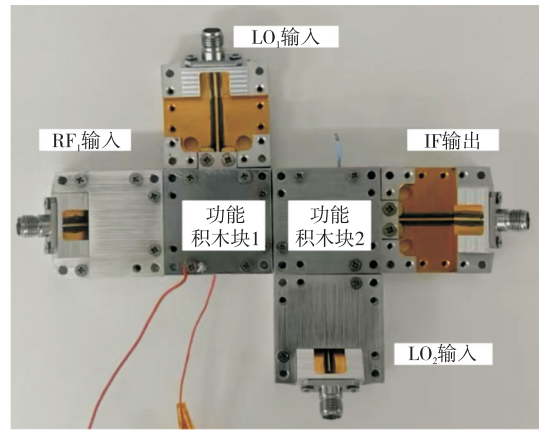


图 9 二次混频射频 SiP 模组链路实物图

#### 3.3 测试结果分析

当  $LO_1$  输入频率在 1~18 GHz 变化时,观察链路增益、噪声系数和饱和输出功率的变化。由图 10 可见,电路增益实测值围绕 5 dB 波动,整体呈现低频低增益,高频高增益的态势,推测是放大器本身性能欠佳,可更换性能更好的放大器进行优化迭代。噪声系数及饱和输出功率测试结果如表 3 所示。由表可见,当  $LO_1$  输入频率为 1~18 GHz 时,该链路噪声系数不超过 11 dB,饱和输出功率最小值为 9.3 dBm,满足初始设计指标要求,验证了该射频 SiP 模组链路设计的可行性。

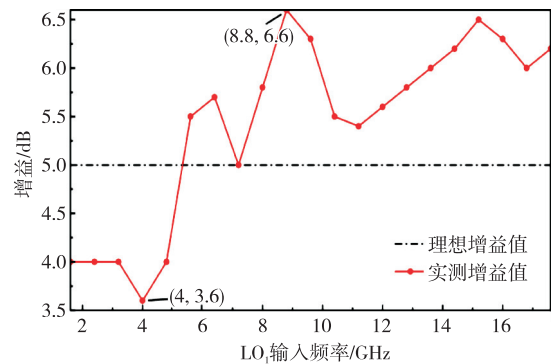


图 10 二次混频 SiP 模组链路增益图

表 3 噪声系数及饱和输出功率测试结果

指标类型	实测值	温度/°C
增益	≤10.2 dB@1~18 GHz	80
噪声系数	≤9.5 dB@1~18 GHz	26
	≤8.9 dB@1~18 GHz	-30
饱和输出功率	≥9.3 dBm@1~18 GHz	26

基于二次混频射频 SiP 模组链路测试结果的分析,可有效验证并指导该模组设计,表明所设计的



验证方法可用于较复杂的射频 SiP 模组链路的快速验证,大幅提升了模组的研发效率。

#### 4 结束语

为了提升射频 SiP 模组的设计效率,创新性地提出了一种射频 SiP 模组链路快速验证方法。经试验,该方法在 DC~18 GHz 频段内呈现低损耗的特性,同时具有可重构、可复用的特点,与传统方法相比,其对不同电路功能的射频 SiP 模组展现出更强的兼容性,缩短了模组的设计周期,在射频领域具有广阔的应用前景。

#### 参考文献:

- [1] BAI Mingqiang, YANG Guanghua, ZAHNG Decai, et al. Design of a frequency conversion front end based on SiP[C]//Chengdu, China: 2024 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), 2024.
- [2] LU Xilong, ZHOU Shigang, WEI Bin, et al. Three-dimensional SiP design of the four-channel RF transceiver based on silicon and AlN for X-band radar applications[J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2023, 13(7): 1030-1044.
- [3] 王庆贺,黎蕾,郑利华,等. SiP 芯片测试系统的设计[J]. 电子设计工程, 2024, 32(3): 143-147
- WANG Qinghe, LI Lei, ZHENG Lihua, et al. Design of SiP chip testing system[J]. Electronic Design Engineering, 2024, 32(3): 143-147.
- [4] 徐晓瑶,黄晓国,张琦,等. 基于数字化设计仿真的射频干扰抵消 SiP 设计[J]. 现代电子技术, 2023, 46(14): 141-146.
- XU Xiaoyao, HUANG Xiaoguo, ZHANG Qi, et al. Design of RF interference cancellation SiP based on digital design simulation [J]. Modern Electronics Technique, 2023, 46(14): 141-146.
- [5] 郎小元,邹雷,颜俊,等. 基于 SiP 技术的宽带小型化锁相源设计[J]. 压电与声光, 2024, 46(4): 443-446.
- LANG Xiaoyuan, ZOU Lei, YAN Jun, et al. Design of a wide-band miniaturized phase-locked source based on SiP technology[J]. Piezoelectrics & Acoustooptics, 2024, 46(4): 443-446.
- [6] 展艺林. 基于多通道射频器件测试系统的夹具去嵌入校准技术研究[D]. 山西: 中北大学, 2023.
- [7] MIAO Min, ZHANG Danya, NIE Xin, et al. A compact and cost effective quasi-in-situ method to characterize broadband RF shielding effectiveness of materials for advanced microelectronic packaging[J]. Microelectronics Journal, 2022, 129: 105582.
- [8] 王耀利,张凯旗,张翀,等. 一种低损耗射频 MEMS 器件测试夹具设计研究[J]. 国外电子测量技术, 2021, 40(9): 106-110.
- WANG Yaoli, ZHANG Kaiqi, ZHANG Chong, et al. Research on the design of a low-loss RF MEMS device test fixture [J]. Foreign Electronic Measurement Technology, 2021, 40(9): 106-110.